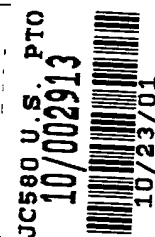


S/N unknown

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: KITABATAKE Serial No.: unknown
Filed: concurrent herewith Docket No.: 10873.830US01
Title: SEMICONDUCTOR ELEMENT



CERTIFICATE UNDER 37 CFR 1.10

'Express Mail' mailing label number: EL669945766US

Date of Deposit: October 23, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service 'Express Mail Post Office To Addressee' service under 37 CFR 1.10 on the date indicated above and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 
Name: Chris Stordahl

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

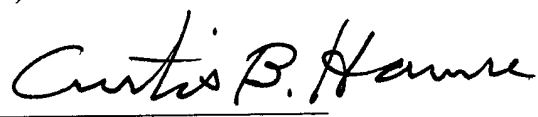
Dear Sir:

Applicants enclose herewith one certified copy of a Japanese application, Serial No. 2000-323088, filed October 23, 2000, the right of priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

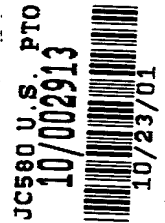
MERCHANT & GOULD P.C.
P.O. Box 2903
Minneapolis, Minnesota 55402-0903
(612) 332-5300

Dated: October 23, 2001

By 
Curtis B. Hamre
Reg. No. 29,165

DPM/tvm

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月23日

出 願 番 号

Application Number:

特願2000-323088

出 願 人

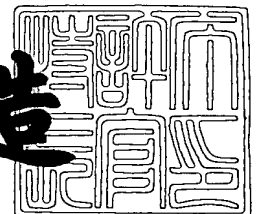
Applicant(s):

松下電器産業株式会社

2001年 9月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3083692

【書類名】 特許願

【整理番号】 R4477

【提出日】 平成12年10月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78
H01L 21/00
H01L 29/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 北畠 真

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100095555

【弁理士】

【氏名又は名称】 池内 寛幸

【電話番号】 06-6361-9334

【選任した代理人】

【識別番号】 100076576

【弁理士】

【氏名又は名称】 佐藤 公博

【選任した代理人】

【識別番号】 100107641

【弁理士】

【氏名又は名称】 鎌田 耕一

【選任した代理人】

【識別番号】 100110397

【弁理士】

【氏名又は名称】 帛丘 圭司

【選任した代理人】

【識別番号】 100115255

【弁理士】

【氏名又は名称】 辻丸 光一郎

【選任した代理人】

【識別番号】 100115152

【弁理士】

【氏名又は名称】 黒田 茂

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004605

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子

【特許請求の範囲】

【請求項 1】 半導体の一表面上に配置されたソース電極、前記一表面と反対側の表面上に配置されたドレイン電極、ならびに前記半導体内に形成された第 1 導電型のドリフト領域を含む電界効果トランジスタと、第 1 導電型半導体と金属電極との接触により形成されたショットキーダイオードとを含み、前記電界効果トランジスタと前記ショットキーダイオードとの間に、前記電界効果トランジスタを構成する第 2 導電型半導体以外の第 2 導電型半導体が介在しないように、前記電界効果トランジスタと前記ショットキーダイオードとが近接して配置されていることを特徴とする半導体素子。

【請求項 2】 一表面側に形成された第 2 導電型領域および前記第 2 導電型領域内に形成された第 1 導電型のソース領域を含む第 1 導電型半導体と、前記第 2 導電型領域および前記ソース領域に接するように配置されたソース電極と、前記一表面と反対側の表面において第 1 導電型のドレイン領域に接するように配置されたドレイン電極と、前記第 2 導電型領域上に絶縁膜を介して配置されたゲート電極とを含む絶縁ゲート型電界効果トランジスタが複数個形成されたトランジスタ素子群領域を有し、前記素子群領域内に、前記トランジスタの間から前記一表面側に露出した第 1 導電型のドリフト領域と金属電極との接触により形成されたショットキーダイオードを含む請求項 1 に記載の半導体素子。

【請求項 3】 一表面側に形成された第 2 導電型領域、前記第 2 導電型領域内に形成された第 1 導電型のソース領域、および前記ソース領域から前記第 2 導電型領域を貫通して第 1 導電型のドリフト領域にまで達する凹部を含む第 1 導電型半導体と、前記第 2 導電型領域および前記ソース領域に接するように配置されたソース電極と、前記一表面と反対側の表面において第 1 導電型のドレイン領域に接するように配置されたドレイン電極と、前記凹部内に絶縁膜を介して配置されたゲート電極とを含む絶縁ゲート型電界効果トランジスタが複数個形成されたトランジスタ素子群領域を有し、前記素子群領域内に、前記トランジスタの間から前記一表面側に露出した前記ドリフト領域と金属電極との接触により形成された

ショットキーダイオードを含む請求項 1 に記載の半導体素子。

【請求項 4】 一表面側に形成された第 2 導電型領域、前記第 2 導電型領域内に形成された第 1 導電型のソース領域、および前記ソース領域から前記第 2 導電型領域を貫通して第 1 導電型のドリフト領域にまで達する凹部を含む第 1 導電型半導体と、前記第 2 導電型領域および前記ソース領域に接するように配置されたソース電極と、前記一表面と反対側の表面において第 1 導電型のドレイン領域に接するように配置されたドレイン電極と、前記凹部内に絶縁膜を介して配置されたゲート電極とを含む絶縁ゲート型電界効果トランジスタを有し、前記凹部に接する前記ドリフト領域と金属電極との接触により形成されたショットキーダイオードを含む請求項 1 に記載の半導体素子。

【請求項 5】 第 1 導電型のドリフト領域および前記ドリフト領域内に形成された第 2 導電型領域を含む第 1 導電型半導体と、前記半導体の一表面上に第 1 導電型のソース領域に接するように配置されたソース電極と、前記一表面と反対側の表面上に第 1 導電型のドレイン領域に接するように配置されたドレイン電極と、前記第 2 導電型領域に接するように配置されたゲート電極とを含む接合型電界効果トランジスタを有し、前記一表面側に露出した前記ドリフト領域と金属電極との接触により形成されたショットキーダイオードを含む請求項 1 に記載の半導体素子。

【請求項 6】 半導体が炭化珪素半導体である請求項 1 ～ 5 のいずれかに記載の半導体素子。

【請求項 7】 炭化珪素半導体が、下記①または②のいずれかの炭化珪素基板の表面に、炭化珪素半導体層をエピタキシャル成長して得たものである請求項 6 に記載の半導体素子。

- ① β -SiC の (111) Si 面、6H もしくは 4H-SiC の (0001) Si 面、もしくは 15R-SiC の Si 面またはこれらの Si 面の 10 度以内のオフカット面
- ② β -SiC の (100) 面、 β -SiC の (110) 面、6H もしくは 4H-SiC の (1-100) 面、6H もしくは 4H-SiC の (11-20) 面またはこれらの面の 15 度以内のオフカット面

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体素子、特にインバータなどの制御用の半導体パワースイッチング素子に関する。

【 0 0 0 2 】

【従来の技術】

従来の半導体パワースイッチング素子を、図9を参照して説明する。図9に示したシリコン半導体を用いた半導体素子は、 n^+ 型シリコン基板111上に n 型エピタキシャル成長層112を形成したシリコン半導体が用いられている。この n 型エピタキシャル成長層112の表面には、 p 型半導体領域113が形成され、この p 型領域内に、ソース領域となる n^+ 型半導体領域114が形成されている。また、電極として、 n^+ 型領域114に接するようにソース電極119が、酸化処理により形成された絶縁層116を介してゲート電極118がそれぞれ配置されており、さらに、裏面側にはドレイン電極117が配置されている。こうして構成された縦型の絶縁ゲート型電界効果トランジスタ(MOSFET)では、ゲート電極118にバイアス電圧を印加すると、ゲート電極直下の p 型領域113の表層に反転層が生成する。

【 0 0 0 3 】

この半導体素子では、構造上、ソース電極119が p 型領域113にも接しているため、トランジスタのソース/ドレイン間には、ソースが p 型、ドレインが n 型の寄生ダイオードが存在する。

【 0 0 0 4 】

図10に示した炭化珪素(SiC)半導体を用いた半導体素子には、いわゆるトレンチ構造を有する縦型のMOSFETが形成されている。この半導体素子には、 n^+ 型の炭化珪素基板121上に、 n 型のエピタキシャル成長層122と p 型のエピタキシャル成長層123とを順に形成した炭化珪素半導体を用いられている。 p 型層123の表面にはソース領域となる n^+ 型半導体領域124が形成されている。 n^+ 型領域124には、トレンチ構造を実現するためにフォトリソグラフィおよびエッチングにより、 p 型層123を貫通する凹部が形成されて

いる。凹部の表面には、酸化処理により形成された絶縁膜126を介してゲート電極128が配置されている。こうして構成されたトレンチ構造を有する炭化珪素MOSFETでは、ゲート電極128にバイアス電圧を印加すると、トレンチ壁面に接するp型領域123に反転層（チャネル）が生成する。なお、この素子は、例えば、Silicon Carbide; A Review of Fundamental Questions and Applications, edited by W.J.Choyke, H.Matsunami, and G. Pensl, Akademie Verlag 1997のVol. II pp. 369-388 に開示されている。

【0005】

この半導体素子においても、構造上、ソース電極129がp型層123にも接しているため、ソース／ドレイン間には、ソースがp型、ドレインがn型の寄生ダイオードが存在する。

【0006】

これらの半導体素子では、上記のように、ソース／ドレイン間に寄生ダイオードが乗っているため、on状態からoff状態にスイッチングされたときに、寄生ダイオードの逆回復（リカバリー）に要する時間遅れが発生していた。この時間遅れは、on状態の間に寄生ダイオードを構成する各層に注入される少数キャリアの存在により、off状態となった後もp／n接合の導通状態が持続するために発生する。また、p／n接合の導通状態が解消するまでに流れる電流がスイッチング損失となる。

【0007】

寄生ダイオードの生成に伴う上記問題を解決できる半導体素子が提案されている（特開平9-55507号公報）。図11に示すように、この半導体素子は、図9と同様のMOSFET（図面中の符号も図9に同じ）が形成された領域に隣接してショットキーダイオード領域が設けられている。このショットキーダイオード領域では、MOSFET領域ではソース電極となっている電極119がn型層112とショットキー接合している。こうして寄生ダイオードと並列にショットキーダイオードを配置すれば、少数キャリアによる逆回復時間を短縮することができる。

【0008】

図11に示した半導体素子では、耐圧を確保するために、ショットキーダイオードが環状のp型ガードリング領域121で囲まれている。また、これに伴い、p型領域113とp型ガードリング領域121との間に n^+ 型チャネルストッパ領域122が追加されている。

【0009】

【発明が解決しようとする課題】

図11の半導体素子のように、ショットキーダイオード領域を設ければ、素子面積が拡大する。素子面積の拡大は、半導体素子の小型化の支障となる。この装置では、トランジスタよりも相対的に耐圧が小さいショットキーダイオードの周囲にガードリング領域121を設けてショットキーダイオードの耐圧の向上が図られている。しかし、追加されたガードリング領域121やチャネルストッパ領域122の存在によって、素子面積は例えば2倍程度にまで拡大することになる。

【0010】

また、図11に示した半導体素子では、図9に示した半導体素子でも同様であるが、隣接するp型層113の間隔dが広いほうが大電流を流す上では有利である。しかし、間隔dを広げると、p/n接合による空乏層115（図9参照）が重なり合わないか、重なり合ったとしても間隔中央付近における空乏層の厚さが不足する。このため、間隔dを大きくして電流容量を上げようとする、ゲート電極118とドレイン電極117との間の電圧のすべてが実質的には絶縁膜116に印加され、この絶縁膜が絶縁破壊しやすくなってしまふ。このように、半導体パワースイッチング素子では、特に大電流に適した素子とする場合の絶縁耐圧の確保も重要な課題となっている。

【0011】

そこで、本発明は、上記従来の半導体素子において、素子面積の拡大を抑制しながら寄生ダイオードによる逆回復時間を短縮することを目的とする。また、本発明の別の目的は、上記従来の半導体素子における絶縁耐圧の向上にある。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体素子は、半導体の一表面上に配置されたソース電極、上記一表面と反対側の表面上に配置されたドレイン電極、ならびに半導体内に形成された第1導電型のドリフト領域を含む電界効果トランジスタと、第1導電型半導体と金属電極との接触により形成されたショットキーダイオードとを含み、電界効果トランジスタとショットキーダイオードとの間に、この電界効果トランジスタを構成する第2導電型半導体以外の第2導電型半導体が介在しないように、上記電界効果トランジスタと上記ショットキーダイオードとが近接して配置されていることを特徴とする。

【0013】

本発明は、より具体的には、以下の第1～第3の半導体素子を提供する。

第1の半導体素子は、図9および図11に示したような半導体素子を改善したものである。この半導体素子は、一表面側に形成された第2導電型領域およびこの第2導電型領域内に形成された第1導電型のソース領域を含む第1導電型半導体と、上記第2導電型領域および上記ソース領域に接するように配置されたソース電極と、上記一表面と反対側の表面において第1導電型のドレイン領域に接するように配置されたドレイン電極と、上記第2導電型領域上に絶縁膜を介して配置されたゲート電極とを含むMOSFETが複数個形成されたトランジスタ素子群領域を有する。そして、この素子群領域内に、上記MOSFETの間から上記一表面側に露出した第1導電型のドリフト領域と金属電極との接触により形成されたショットキーダイオードを含むことを特徴とする。この半導体素子によれば、素子面積の拡大を抑制しながら寄生ダイオードの逆回復時間を短縮できる。また、耐圧を確保しながら電流容量を増加させる点でも、有利な構造を有する。

【0014】

第2の半導体素子は、図10に示したような半導体素子を改善したものである。この半導体素子は、一表面側に形成された第2導電型領域、この第2導電型領域内に形成された第1導電型のソース領域、およびこのソース領域から上記第2導電型領域を貫通して第1導電型のドリフト領域にまで達する凹部を含む第1導電型半導体と、上記第2導電型領域および上記ソース領域に接するように配置されたソース電極と、上記一表面と反対側の表面において第1導電型のドレイン領

域に接するように配置されたドレイン電極と、上記凹部内に絶縁膜を介して配置されたゲート電極とを含むMOSFETが複数個形成されたトランジスタ素子群領域を有する。そして、この素子群領域内に、上記MOSFETの間から上記一表面側に露出した第1導電型のドリフト領域と、金属電極との接触により形成されたショットキーダイオードを含むことを特徴とする。この半導体素子の構造も、素子の小型化と逆回復時間の短縮とを両立させる点のみならず、絶縁耐圧を確保する点でも有利である。

【0015】

さらに第2の半導体素子の別の形態は、一表面側に形成された第2導電型領域、この第2導電型領域内に形成された第1導電型のソース領域、およびこのソース領域から上記第2導電型領域を貫通して第1導電型のドリフト領域にまで達する凹部を含む第1導電型半導体と、上記第2導電型領域および上記ソース領域に接するように配置されたソース電極と、上記一表面と反対側の表面において第1導電型のドレイン領域に接するように配置されたドレイン電極と、上記凹部内に絶縁膜を介して配置されたゲート電極とを含むMOSFETを有する。そして、上記凹部に接する上記ドリフト領域と金属電極との接触により形成されたショットキーダイオードを含むことを特徴とする。この半導体素子の構造も、素子の小型化と逆回復時間の短縮とを両立させる点のみならず、絶縁耐圧を確保する点でも有利である。

【0016】

本発明は、さらに接合型電界効果トランジスタ（ジャンクションFET）にも適用できる。ジャンクションFETを含む本発明の第3の半導体素子は、第1導電型のドリフト領域およびこのドリフト領域内に形成された第2導電型領域を含む第1導電型半導体と、この半導体の一表面上に第1導電型のソース領域に接するように配置されたソース電極と、上記一表面と反対側の表面上に第1導電型のドレイン領域に接するように配置されたドレイン電極と、上記第2導電型領域に接するように配置されたゲート電極とを含むジャンクションFETを有する。そして、上記一表面側に露出したドリフト領域と金属電極との接触により形成されたショットキーダイオードを含むことを特徴とする。この半導体素子によれば、

ノーマリー-offを実現でき、絶縁耐圧を向上させることができる。

【0017】

【発明の実施の形態】

以下、本発明の好ましい実施形態について説明する。

【0018】

(第1の実施形態)

第1の半導体素子の一形態を、図1を参照しながら説明する。

この半導体素子1では、 n^+ 型炭化珪素(SiC)基板11上にn型エピタキシャル成長層12が形成された半導体が基板として用いられている。基板の表面には、イオン打ち込みや拡散によって、複数の島状のp型半導体領域13が所定の位置に形成されている。同じくイオン打ち込みなどによって、p型領域13内にはソース領域となる n^+ 型半導体領域14が形成されている。

【0019】

また、基板の表面にはソース電極19が n^+ 型領域14に接するように形成され、基板の裏面側ではドレイン領域となる n^+ 型基板11上にドレイン電極17が形成されている。ソース電極19およびドレイン電極17と半導体との接合はオーミック接合である。ゲート電極18は、酸化処理により形成された絶縁膜(シリコン酸化膜)16を介してp型領域13上に形成されている。ゲート電極へのバイアス電圧の印加により、ゲート電極直下のp型領域13の表層に反転層(チャネル)が形成されると、MOSFETがon状態となる。

【0020】

この半導体素子では、隣接するMOSFET、換言すれば隣接するp型領域13、13の間から半導体表面に露出しているn型層12上に、このn型層とショットキー接合する金属電極(ショットキー電極)20が配置されている。このドリフト領域上に形成されたショットキー電極20は、配線によりソース電極19と電氣的に接続されている。

【0021】

この半導体素子においても、ソース/ドレイン間には、p型領域13とn型層12とからなる寄生ダイオードが存在する。しかし、この寄生ダイオードによる

on状態からoff状態への逆回復時間の遅れは、ショットキー電極20とn型層12との接合により構成されたショットキーダイオードにより短縮される。すなわち、p型領域13の表層に反転層（チャンネル）が生成したon状態から、バイアス電圧を負に変化させてチャンネルを消失させると、off状態への速い応答が実現できる。これは、寄生ダイオードと並列に配置されたショットキーダイオードにより、ソース／ドレイン間の電圧が、寄生ダイオードの遅いリカバリー特性を反映することなく迅速に上昇するからである。一方、このMOSFETがon状態の際にはショットキーダイオードに電流は流れないから、このダイオードが素子動作に影響を及ぼすことはない。

【0022】

また、off状態においては、ショットキー電極20の直下にも空乏層15が広がるため、間隔dの中央付近における空乏層の厚さが増加する。したがって、大電流を取り出しやすくするために隣接するp型領域13、13の間隔dを広くした場合にも、素子の絶縁耐圧を確保しやすい。

【0023】

しかも、この半導体素子は、ショットキーダイオードに隣接して、耐圧を確保するための新たな反対導電型領域（例えば図11におけるガードリング領域121）を必要としない。ショットキーダイオードの近傍にp型領域13が存在するため、ショットキーダイオードによる空乏層は、p型領域13／n型層12の界面から広がる空乏層と重畳して形成される。したがって、ダイオード自体の耐圧も確保しやすくなる。

【0024】

図2は、半導体素子の平面図（図1は図2のI-I断面図）である。ここでは計6個のMOSFETを配置した例を示しているが、MOSFETの個数に制限はなく、所望の電流容量などに基づいて集積化するMOSFETの数を適宜定めればよい。また、ここでは同形（平面視正方形）のMOSFETを縦横に規則的に配列しているが、MOSFETの形状や配列方法にも特に制限はない。例えば、平面視正方形のゲート電極18の隅角部を丸みを帯びた形状とすると、耐圧を確保する上で有利となる。電極全体を多角形や円形としてもよい。さらに、絶縁

耐圧を上げるために、MOSFET領域全体の外側にガードリングなど耐圧が向上する構造を配置してもよい。

【0025】

所定個数のMOSFETを配置したMOSFET領域内において、ショットキー電極20は、各MOSFETの間を縦横に伸長している。このように隣接するMOSFET間にショットキー電極を配置すると、従来の素子のように、新たにショットキー電極を形成するための領域（図11のショットキーダイオード領域参照）を設けることなく各MOSFETに近接してショットキーダイオードを形成できる。したがって、素子の小型化を図る上では格段に有利である。

【0026】

ショットキー電極20は、図2に示したように格子状に配置する必要はなく、本発明の目的が達成される限り、縞状（ストライプ状）、散点状などとなるように形成してもよい。散点状に形成する場合には、例えば、少なくとも、縦横に伸長する格子パターンの交点20a, 20b……を含む位置に形成するとよい。

【0027】

上記では炭化珪素半導体を用いた例について説明したが、上記半導体素子は、AlN、GaNなどその他の化合物半導体（シリコンよりもバンドギャップが広いいわゆる化合物ワイドバンドギャップ半導体）を用いて形成してもよい。炭化珪素などの化合物ワイドバンドギャップ半導体を用いると、ショットキー電極とドレイン電極との間の耐圧を確保しやすい。なお、炭化珪素半導体を、以下の①、②のいずれかの面である炭化珪素基板の表面に、炭化珪素半導体をエピタキシャル成長して得た半導体とすると、結晶性が良好なエピタキシャル成長層が得られる。

- ① β -SiCの(111)Si面、6Hもしくは4H-SiCの(0001)Si面、もしくは15R-SiCのSi面またはこれらのSi面の10度以内のオフカット面
- ② β -SiCの(100)面、 β -SiCの(110)面、6Hもしくは4H-SiCの(1-100)面、6Hもしくは4H-SiCの(11-20)面またはこれらの面の15度以内のオフカット面

また、上記では、n型を第1導電型、p型を第2導電型として説明したが、n

型、p 型が逆であってもよい。

【 0 0 2 8 】

(第 2 の実施形態)

第 2 の半導体素子の一形態を、図 3 を参照しながら説明する。

この半導体素子では、 n^+ 型炭化珪素基板 2 1 上に n 型エピタキシャル成長層 2 2 が形成された半導体が基板として用いられている。基板の表面には、イオン打ち込みや拡散によって p 型半導体領域 2 3 が部分的に形成されている。同じくイオン打ち込みなどによって、p 型領域 2 3 内にはソース領域となる n^+ 型半導体領域 2 4 が形成されている。 n^+ 型領域 2 4 には、トレンチ構造を実現するために、フォトリソグラフィーおよびエッチングにより、p 型層 2 3 を貫通して n 型層 2 2 に至る凹部が形成されている。

【 0 0 2 9 】

凹部内には、酸化処理により形成された絶縁膜（シリコン酸化膜）2 6 を介してゲート電極 2 8 が配置されている。ソース電極 2 9 は n^+ 型領域 2 4 および p 型領域 2 3 に接するように配置され、ドレイン電極 2 7 は反対側表面においてドレイン領域となる n^+ 型炭化珪素基板 2 1 に接するように配置されている。ソース電極 2 9 およびドレイン電極 2 7 と各半導体との接合はオーミック接合である。このトレンチ構造を有する炭化珪素 MOSFET では、ゲート電極 2 8 へのバイアス電圧の印加により生成する反転層は、トレンチ壁面に接する p 型領域 2 3 内に半導体の厚さ方向に沿って伸長するように形成される。この反転層がチャネルとなって MOSFET は on 状態となる。

【 0 0 3 0 】

この半導体素子にも、さらに、ショットキー電極 2 0 が配置されている。この電極は、p 型領域 2 3 に隣接して半導体表面に露出している n 型層 2 2 とショットキー接合する金属電極である。ショットキー電極 2 0 は、基板となる半導体のドレイン領域と電氣的に連続している（同導電型の）ドリフト領域表面でソース電極 2 9 と接触した金属層として形成されている。ショットキー電極 2 0 をソース電極 2 9 の一部と見れば、この半導体素子では、ソース電極の一部が n 型半導体領域とショットキー接合していることになる。

【 0 0 3 1 】

この半導体素子においても、ソース／ドレイン間には、p型領域23とn型層22とからなる寄生ダイオードが存在する。しかし、ここでも、この寄生ダイオードによるon状態からoff状態への逆回復時間は、ショットキー電極20とn型層22との接合により構成されたショットキーダイオードにより短縮される。

【 0 0 3 2 】

また、ショットキー電極20の直下に広がる空乏層により、素子の絶縁耐圧が確保しやすくなる。すなわち、従来のトレンチ構造を有する半導体素子では、p型領域23とn型層22との半導体表面における界面（電界集中点）Bにおいてブレイクダウンが発生しやすいという問題があった。しかし、ショットキー電極20の配置によって、半導体表面における界面B近傍にも空乏層が広がるため、ブレイクダウンが発生しにくくなってoff状態におけるソース／ドレイン間の耐圧が向上する。

【 0 0 3 3 】

この半導体素子も、基本的には、ショットキーダイオードに隣接して、ガードリング領域のような耐圧を確保するための新たな反対導電型（この場合はp型）領域を必要としない。ショットキーダイオードによる空乏層がp型領域23／n型層22の界面から広がる空乏層と重畳するため、ダイオード自体の耐圧も確保しやすいからである。この半導体素子では、炭化珪素半導体を用いているため、シリコン半導体を用いた場合よりも高い耐圧を得ることができる。トレンチ構造を採用しているため、高い耐圧と大きな電流容量を得る点でも有利である。

【 0 0 3 4 】

図4は、図3の半導体素子の配置例を示す平面図である。ここでも、図2を参照して説明したように、MOSFETの個数、形状、配置方法などに特に制限はない。ショットキー電極20の配置および形状についても、本発明の目的が達成される限り、格子状に制限されない。

【 0 0 3 5 】

第2の半導体素子の別の形態を図5および図6に示す。

図5に示した半導体素子では、ショットキー電極20が、半導体の表面ではな

くトレンチ構造の底面においてn型層22と接触している。トレンチ構造を形成する凹部内には、トレンチ構造壁面と絶縁膜（シリコン酸化膜）26aを介して接するゲート電極28が配置されている。ゲート電極28とショットキー電極20とは絶縁膜（シリコン酸化膜）26bにより互いに絶縁されている。このように、トレンチ構造底面に接するドリフト領域に金属電極を形成してショットキーダイオードを形成しても、上記と同様、on状態からoff状態への逆回復時間を短縮できる。

【0036】

図5に示した形態を採用すると、トレンチ構造の底面から下方へと空乏層を広げることができる。したがって、off状態におけるゲート／ドレイン間の耐圧を上げることができる。電界集中点Bにおけるブレイクダウンも抑制しやすくなる。

【0037】

図6に示した半導体素子では、p型半導体領域として、半導体の表層内に形成した領域ではなくn型層22上にさらにエピタキシャル成長させたp型半導体層33を用いている。ここでは、トレンチ構造を形成するための凹部は、p型層33の表面に形成された n^+ 型領域24からp型層を貫通してn型層22に至るように形成されている。ソース電極29は n^+ 型領域24およびp型層33に接し、ショットキー電極20はn型層22に接し、これら両電極は互いに接触している。この形態でも、上記と同様、on状態からoff状態への逆回復時間を短縮できる。

【0038】

図6に示した形態においても、図4の形態と同様、ショットキー電極20の配置により、ブレイクダウンが発生しやすい電界集中点B近傍にも空乏層が広がるため、off状態におけるソース／ドレイン間の耐圧が向上する。

【0039】

上記第1および第2実施形態の半導体素子では、FETを構成し、FETの動作に関与するp型領域以外の余分なp型領域を、FETとショットキーダイオードとの間に含んでいない。むしろ、FETを構成するp型領域を利用してショッ

トキダイオードの耐圧も確保しながら、分離領域を形成することなく、小さな素子面積で極めて合理的に寄生ダイオードによる逆回復時間を短縮する構成が採用されている。なお、本実施形態でも、炭化珪素半導体を、上記①、②のいずれかの面である炭化珪素基板の表面に、炭化珪素半導体をエピタキシャル成長して得た半導体とすると、結晶性が良好なエピタキシャル成長層が得られる。また、上記では、 n 型を第1導電型として説明したが、 n 型、 p 型が逆であってもよい。

【0040】

(第3の実施形態)

第3の半導体素子の一形態を、図7を参照しながら説明する。

この半導体素子には、ジャンクションFETが形成されている。この半導体素子では、 n^+ 型炭化珪素基板11上に、第1 n 型エピタキシャル成長層12aおよび第2 n 型エピタキシャル成長層12bがこの順に形成された半導体が基板として用いられている。この基板には、第1 p 型半導体領域43aおよび第2 p 型半導体領域43bが形成されている。第1 p 型領域43aおよび第2 p 型領域43bは、それぞれ第1 n 型層12aおよび第2 n 型層12bが形成された後に、各成長層の表面からのイオン打ち込みなどにより形成される。第1 p 型領域43aは、ドリフト領域を構成する n 型層の分離層として機能する。

【0041】

同じくイオン打ち込みなどによって、第2 n 型層12bの表面には、ソース領域となる n^+ 型半導体領域14が形成されている。また、基板の表面にはソース電極19が n^+ 型領域14に接するように形成され、基板の反対面にはドレイン電極17が n^+ 型シリコン基板11上に接するように形成されている。ソース電極19およびドレイン電極17と半導体とはオーミック接合している。ゲート電極18は第2 p 型領域43bに接するように配置されている。

【0042】

この半導体素子では、on状態で電子が流れるドリフト領域を構成する第2 n 型層12b上に、金属電極(ショットキー電極)20が配置されている。このショットキー電極20は、ソース電極19と接触している。ショットキー電極20を

ソース電極 1 9 の一部と見れば、この半導体素子では、ソース電極の一部が n 型領域とショットキー接合していることになる。

【 0 0 4 3 】

この半導体素子では、ゲート電極 1 8 にバイアス電圧を印加しない場合には、空乏層 1 5 が、図示したように分離層となる第 1 p 型領域 4 3 a の周囲に広がるように設計されている。また、ショットキー電極 2 0 の近傍の第 2 n 型層 1 2 b でも、空乏層が広がって上記空乏層 1 5 と重なり合う。このようなドリフト領域における空乏層の広がりにより、上記半導体素子では、（通常のジャンクション F E T とは異なり）ノーマリー-off型のジャンクション F E T を実現できる。また、第 2 p 型層 4 3 b で囲まれた領域に配置したショットキー電極 2 0 から広がる空乏層により、素子面積を拡大することなく絶縁耐圧を改善できる。

【 0 0 4 4 】

しかし、ゲート電極に正のバイアス電圧を印加して空乏層を後退させると、p 型領域 4 3 a、4 3 a の間に、分離層の上下を導通するチャネル 4 1 が生じる。また、第 2 n 型層 1 2 b でも、第 1 p 型領域 4 3 a とショットキー電極 2 0 との間で空乏化していた領域にチャネルが生じる。こうして、ソース電極 1 9 からドレイン電極へと至る電子の流れ 4 2 が生じて素子が on 状態となる。

【 0 0 4 5 】

このジャンクション F E T では、図 8 に示したように、金属層 2 0 の直下に p 型領域 4 3 c をさらに形成してもよい。この領域 4 3 c を形成すると、空乏層の広がりをより確実にできる。したがって、バイアス電圧を印加しない状態における off 状態をより確実に実現できる。

【 0 0 4 6 】

本実施形態でも、絶縁耐圧をさらに改善するために、炭化珪素半導体に代えて A l N、G a N などその他の化合物半導体を用いてもよい。炭化珪素を用いる場合は、上記①、②のいずれかの面である炭化珪素基板の表面に、炭化珪素半導体をエピタキシャル成長して得た半導体とすると、結晶性が良好なエピタキシャル成長層が得られる。また、上記では、n 型を第 1 導電型として説明したが、n 型、p 型が逆であってもよい。

【 0 0 4 7 】

本実施形態でも、第 1 および第 2 の実施形態と同様、電流容量を上げるために、所定個数の F E T を配列した F E T 領域を用意してもよい。ここでも、F E T は、図 2 および図 4 を参照して上記で説明したように配列すればよい。また、本実施形態の半導体素子も、上記第 1 および第 2 の実施形態の半導体素子と同様、F E T を構成し、F E T の動作に関与する p 型領域以外の余分な p 型領域を、F E T とショットキーダイオードとの間に含んでいない。この半導体素子では、F E T とショットキーダイオードとを近接して配置することにより、絶縁耐圧の向上を実現している。

【 0 0 4 8 】

【実施例】

以下、本発明を実施例によりさらに説明するが、本発明は以下の実施例に制限されるものではない。

【 0 0 4 9 】

(実施例 1)

本実施例では、図 1 と同様の構造を有する半導体素子を作製した。

まず、濃度 $3 \times 10^{18} \text{ cm}^{-3}$ となるように窒素がドーピングされた n 型 6 H - S i C (0 0 0 1) S i 面の $[11-20]$ 方向 4 度オフカット面を有する基板を用意した。この基板を洗浄した後に、上記オフカット面に、 $1.3 \times 10^{16} \text{ cm}^{-3}$ の窒素ドーピング n 型エピタキシャル成長層を形成した。この n 型層は、CVD 法により厚さ $10 \mu\text{m}$ となるように成膜した。この n 型層の表面に金属マスクを形成し、選択的に $0.9 \sim 4.0 \text{ MeV}$ の範囲から 5 段のイオンエネルギーを選択し、それぞれ $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でホウ素イオンを打ち込んだ。このイオン打ち込みにより、n 型層の表層に、深さ $2 \mu\text{m}$ 程度の p 型領域が島状に形成された。さらに、別の金属マスクを用いて、p 型領域に、部分的に、 20 keV のエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で窒素のイオン打ち込みを行って、ソース領域となる n^+ 型半導体領域を形成した。なお、ホウ素および窒素のイオン打ち込みにおける基板温度は 500°C とした。この基板は、Ar 雰囲気において 1700°C で 1 時間熱処理してイオン打ち込みにより形成した領域を活性化した

。こうして形成したMOSFETのチャネル領域の長さは約 $2\mu\text{m}$ である。

【0050】

引き続いて、上記炭化珪素半導体基板を酸化処理炉内で 1100°C で3時間ウェット酸化した。この酸化処理により、半導体基板表面には、厚さ 40nm のシリコン酸化膜が形成された。このシリコン酸化膜に、フォトリソグラフィーおよびエッチングにより、コンタクトホールなどを形成し、さらに、ソース電極およびドレイン電極として、それぞれNiを堆積し、熱処理してオーミック電極を形成した。また、シリコン酸化膜上にはゲート電極を形成した。さらに、隣接するp型領域の間から露出しているn型層に接合するNiのショットキー電極を形成した。各電極の配置は、図1に示したとおりとした。

【0051】

こうして得た炭化珪素MOSFETの絶縁耐圧は、ショットキー電極を形成しない場合が 500V 程度であるのに対し、 600V 以上の絶縁耐圧を示した。さらに、この半導体素子のon状態からoff状態への逆回復時間は、ショットキー電極を形成しない場合が 300ns 以上であるのに対し、 100ns 以下となった。このように、隣接するMOSFET間にショットキー電極を配置することにより、低損失・高絶縁耐圧のMOSFETを得ることができた。

【0052】

(実施例2)

本実施例では、図3と同様の構造を有する半導体素子を作製した。

まず、濃度 $3 \times 10^{18}\text{cm}^{-3}$ となるように窒素がドーピングされたn型6H-SiC(0001)Si面の $[11-20]$ 方向4度オフカット面を有する基板を用意した。この基板を洗浄した後に、上記オフカット面に、 $1.3 \times 10^{16}\text{cm}^{-3}$ の窒素ドーピングn型エピタキシャル成長層を形成した。このn型層は、CVD法により厚さ $10\mu\text{m}$ となるように成膜した。このn型層の表面に金属マスクを形成し、選択的に $0.9 \sim 4.0\text{MeV}$ の範囲から5段のイオンエネルギーを選択し、それぞれ $3 \times 10^{14}\text{cm}^{-2}$ のドーズ量でホウ素イオンを打ち込んだ。このイオン打ち込みにより、n型層の表層に、深さ $2\mu\text{m}$ 程度のp型領域が形成された。さらに、別の金属マスクを用いて、p型領域に、部分的に、 20keV のエネル

ギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で窒素のイオン打ち込みを行って、ソース領域となる n^+ 型領域を形成した。なお、ホウ素および窒素のイオン打ち込みにおける基板温度は 500°C とした。この基板は、 Ar 雰囲気において 1700°C で1時間熱処理してイオン打ち込みにより形成した領域を活性化した。

【0053】

さらに、この炭化珪素半導体基板にトレンチ構造を実現するための凹部を形成した。凹部は、マスク形成後、ICP（インダクティブ・カップルド・プラズマ）エッチング装置を用いて形成した。エッチングには、 CF_4 と O_2 との混合ガスを用いた。形成した凹部の深さは $2.5 \mu\text{m}$ であり、 n^+ 型および p 型両半導体領域を貫通し、 n 型層に達している。

【0054】

引き続き、上記半導体基板を酸化処理炉内で 1100°C で1時間ウェット酸化した。この酸化処理により、半導体基板表面には、厚さ 40 nm のシリコン酸化膜が形成された。このシリコン酸化膜に、フォトリソグラフィーおよびエッチングにより、コンタクトホールなどを形成し、さらに、ソース電極およびドレイン電極として、それぞれ Ni を堆積し、熱処理してオーミック電極を形成した。また、凹部内には Al のゲート電極を形成した。さらに、ソース電極に隣接して n 型層に接する Ni のショットキー電極を形成した。各電極の配置は、図3に示したとおりとした。

【0055】

こうして得た炭化珪素MOSFETの絶縁耐圧は、ショットキー電極を形成しない場合が 500 V 程度であるのに対し、 600 V 以上の絶縁耐圧を示した。さらに、この半導体素子の on 状態から off 状態への逆回復時間は、ショットキー電極を形成しない場合が 300 ns 以上であるのに対し、 100 ns 以下となった。このように、隣接するMOSFET間にショットキー電極を配置することにより、低損失・高絶縁耐圧のMOSFETを得ることができた。

【0056】

（実施例3）

本実施例では、図6と同様の構造を有する半導体素子を作製した。

まず、濃度 $3 \times 10^{18} \text{ cm}^{-3}$ となるように窒素がドーピングされた n 型 6H-SiC (0001) Si 面の $[11-20]$ 方向 4 度オフカット面を有する基板を用意した。この基板を洗浄した後に、上記オフカット面に、 $1.3 \times 10^{16} \text{ cm}^{-3}$ の窒素ドーピング n 型エピタキシャル成長層を形成した。この n 型層は、CVD 法により厚さ $10 \mu\text{m}$ となるように成膜した。この n 型層の表面に、部分的に、CVD 法による成膜中に TMA を添加して $2 \times 10^{17} \text{ cm}^{-3}$ の Al ドーピング p 型エピタキシャル成長層を成膜した。p 型層の厚さは $2 \mu\text{m}$ とした。さらに、金属マスクを用いて、p 型層に、部分的に、 20 keV のエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で窒素のイオン打ち込みを行って、ソース領域となる n^+ 型半導体領域を形成した。なお、ここでもイオン打ち込みにおける基板温度は 500°C とした。この基板は、Ar 雰囲気において 1700°C で 1 時間熱処理してイオン打ち込みにより形成した領域を活性化した。

【0057】

さらに、この半導体基板にトレンチ構造を実現するための凹部を形成した。凹部は、マスク形成後、ICP エッチング装置を用いて形成した。エッチングには、 $\text{CF}_4 + \text{O}_2$ 混合ガスを用いた。形成した凹部の深さは $2.5 \mu\text{m}$ であり、 n^+ 型半導体領域および p 型層を貫通し、n 型層に達している。

【0058】

引き続き、上記半導体基板を酸化処理炉内で 1100°C で 1 時間ウェット酸化した。この酸化処理により、半導体基板表面には、厚さ 40 nm のシリコン酸化膜が形成された。このシリコン酸化膜に、フォトリソグラフィおよびエッチングにより、コンタクトホールなどを形成し、さらに、ソース電極およびドレイン電極として、それぞれ Ni を堆積し、熱処理してオーミック電極を形成した。また、凹部内には Al のゲート電極を形成した。さらに、ソース電極に隣接して n 型層に接する Ni のショットキー電極を形成した。各電極の配置は、図 6 に示したとおりとした。

【0059】

こうして得た炭化珪素 MOSFET の絶縁耐圧は、ショットキー電極を形成しない場合が 500 V 程度であるのに対し、 600 V 以上の絶縁耐圧を示した。さ

らに、この半導体素子のon状態からoff状態への逆回復時間は、ショットキー電極を形成しない場合が300ns以上であるのに対し、100ns以下となった。このように、隣接するMOSFET間にショットキー電極を配置することにより、低損失・高絶縁耐圧のMOSFETを得ることができた。

【0060】

(実施例4)

本実施例では、図7と同様の構造を有する半導体素子を作製した。

まず、濃度 $3 \times 10^{18} \text{ cm}^{-3}$ となるように窒素がドーピングされたn型6H-SiC(0001)Si面の[11-20]方向4度オフカット面を有する基板を用意した。この基板を洗浄した後に、上記オフカット面に、 $1.3 \times 10^{16} \text{ cm}^{-3}$ の窒素ドーピング第1n型エピタキシャル成長層を形成した。この第1n型層は、CVD法により厚さ $10 \mu\text{m}$ となるように成長させた。この第1n型層の表面に金属マスクを形成し、選択的に200keV、 $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でアルミニウムイオンを打ち込んだ。このイオン打ち込みにより、第1n型層の表層に、深さ $0.3 \mu\text{m}$ 程度の第1p型半導体領域が形成された。さらに、第1n型層上に、 $1.3 \times 10^{16} \text{ cm}^{-3}$ の窒素ドーピング第2n型エピタキシャル成長層を形成した。この第2n型層は、CVD法により厚さ $0.5 \mu\text{m}$ となるように成膜した。この第2n型層の表面に金属マスクを形成し、選択的に50keV~1.0MeV、 $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でアルミニウムイオンを打ち込んだ。このイオン打ち込みにより、第2n型層を貫通し、第1p型半導体領域と接続する第2p型半導体領域が形成された。さらに、別の金属マスクを用いて、部分的に、20keVのエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で窒素のイオン打ち込みを行って、ソース領域となる n^+ 型半導体領域を形成した。なお、ここでもイオン打ち込みの際の基板温度は500℃とした。この基板は、Ar雰囲気において1700℃で1時間熱処理してイオン打ち込みにより形成した領域を活性化した。

【0061】

引き続き、ソース電極およびドレイン電極として、それぞれNiを堆積し、熱処理してオーミック電極を形成した。また、Alからなるゲート電極を形成した。さらに、Niのショットキー電極を形成した。各電極の配置は、図7に示し

たとおりとした。

【0062】

こうして得た炭化珪素ジャンクションFETの絶縁耐圧は、ショットキー電極を形成しない場合が500V程度であるのに対し、600V以上の絶縁耐圧を示した。このように、隣接するジャンクションFET間にショットキー電極を配置することにより、高絶縁耐圧でノーマリー-off型のジャンクションFETを得ることができた。

【0063】

【発明の効果】

上記説明したように、本発明によれば、半導体素子において、素子面積の拡大を抑制しながら寄生ダイオードによる逆回復時間による遅れを短縮できる。また、半導体素子における絶縁耐圧を増加できる。

【図面の簡単な説明】

【図1】 本発明の半導体素子の一例を示す断面（図2のI-I断面）図である。

【図2】 本発明の半導体素子の一例を示す平面図である。

【図3】 本発明の半導体素子の一例としてトレンチ構造を有する素子を示す断面図である。

【図4】 図3の半導体素子の配置例を示す平面図である。

【図5】 トレンチ構造を有する本発明の半導体素子の別の例を示す断面図である。

【図6】 トレンチ構造を有する本発明の半導体素子のまた別の例を示す断面図である。

【図7】 ジャンクションFETを含む本発明の半導体素子の例を示す断面図である。

【図8】 ジャンクションFETを含む本発明の半導体素子の別の例を示す断面図である。

【図9】 従来の半導体素子の一例を示す断面図である。

【図10】 従来のトレンチ構造を有する半導体素子の例を示す断面図である。

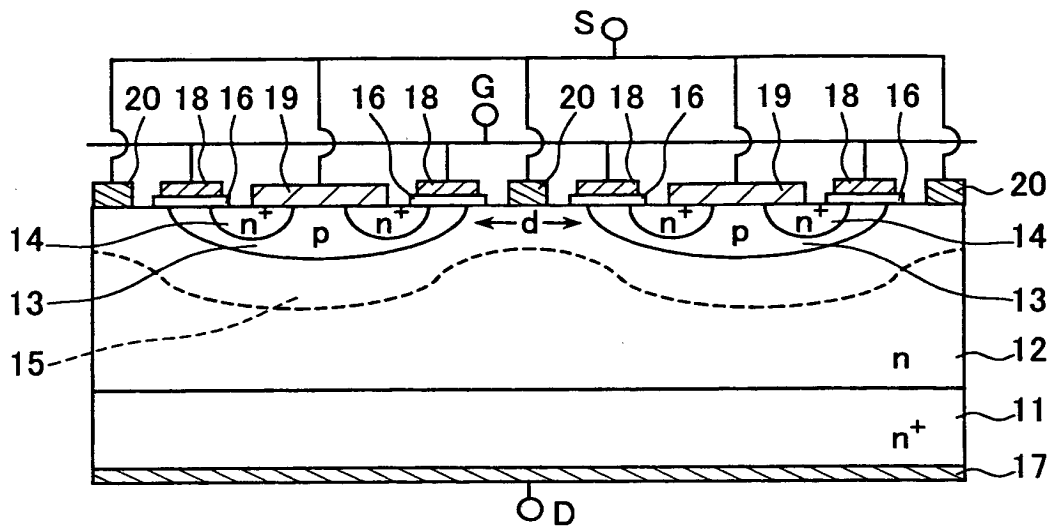
【図 1 1】 MOSFET とショットキーダイオードとを含む半導体素子の例を示す断面図である。

【符号の説明】

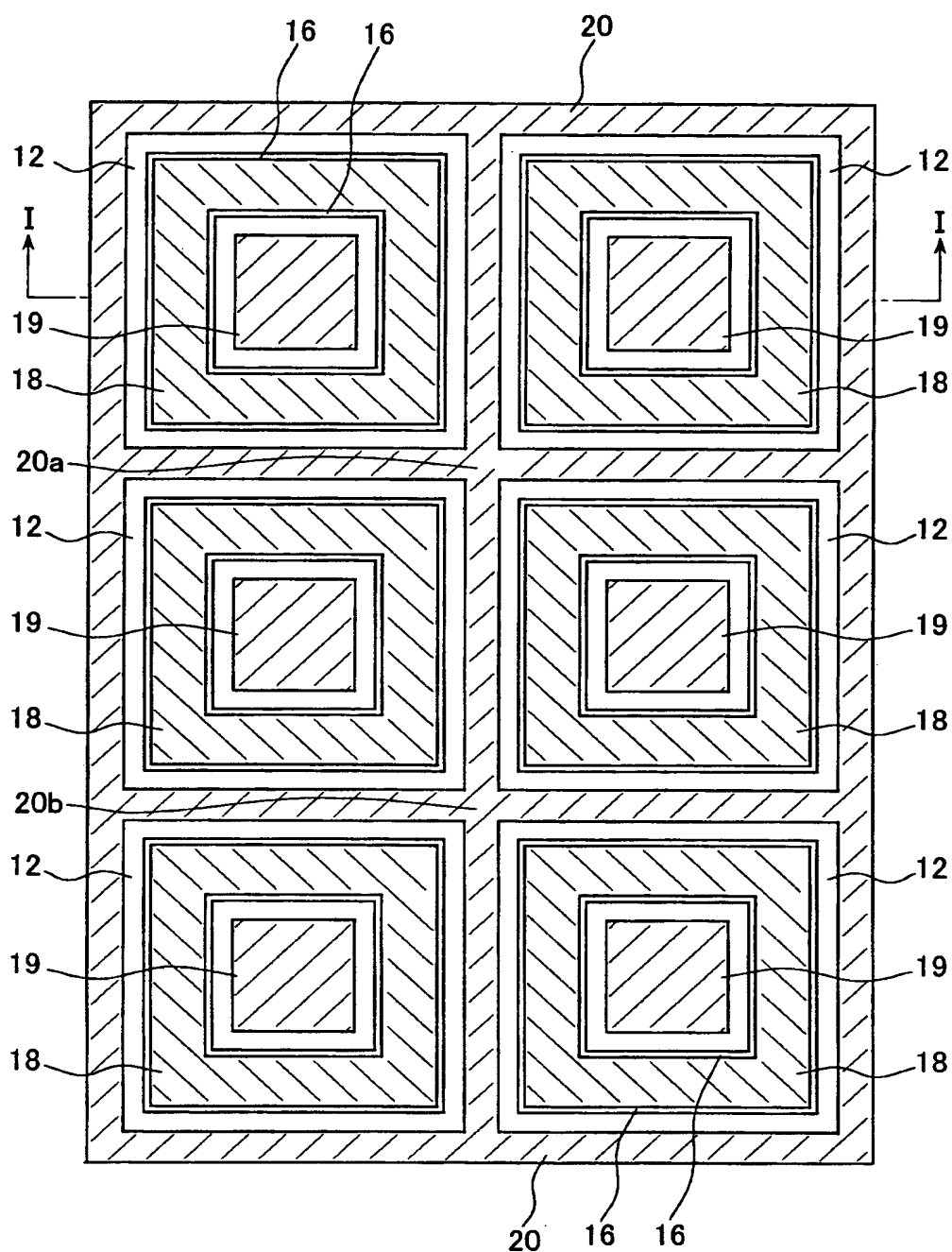
- 1 1 n^+ 型シリコン基板
- 2 1 n^+ 型炭化珪素基板
- 1 2, 2 2 n 型エピタキシャル成長層
- 1 2 a 第 1 n 型エピタキシャル成長層
- 1 2 b 第 2 n 型エピタキシャル成長層
- 1 3, 2 3, 4 3 p 型半導体領域
- 4 3 a 第 1 p 型半導体領域
- 4 3 b 第 2 p 型半導体領域
- 3 3 p 型エピタキシャル成長層
- 1 4, 2 4 n^+ 型半導体領域
- 1 5 空乏層
- 1 6, 2 6 絶縁膜
- 1 7, 2 7 ドレイン電極
- 1 8, 2 8 ゲート電極
- 1 9, 2 9 ソース電極
- 2 0 ショットキー電極
- 4 1 チャネル
- 4 2 電子の流れ

【書類名】 図面

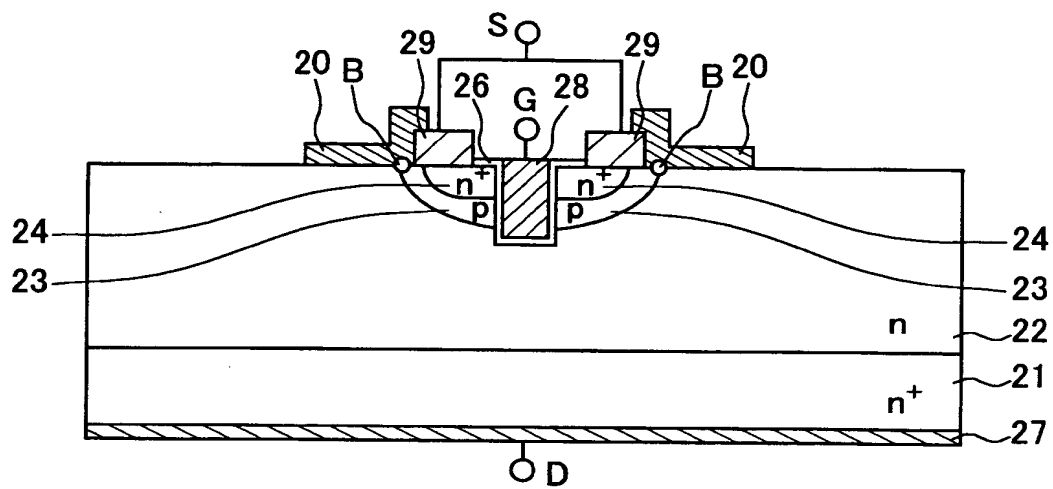
【図 1】



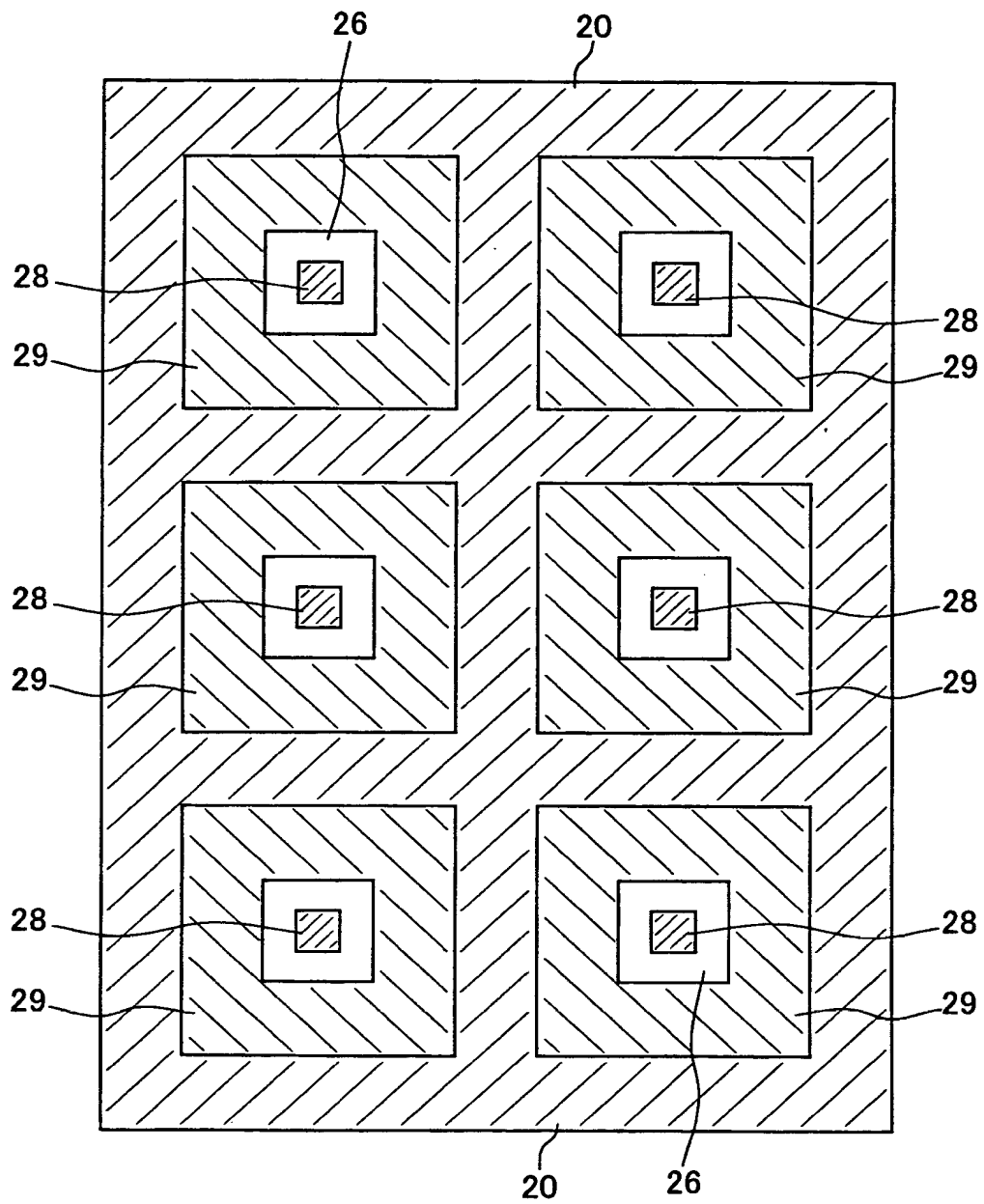
【図 2】



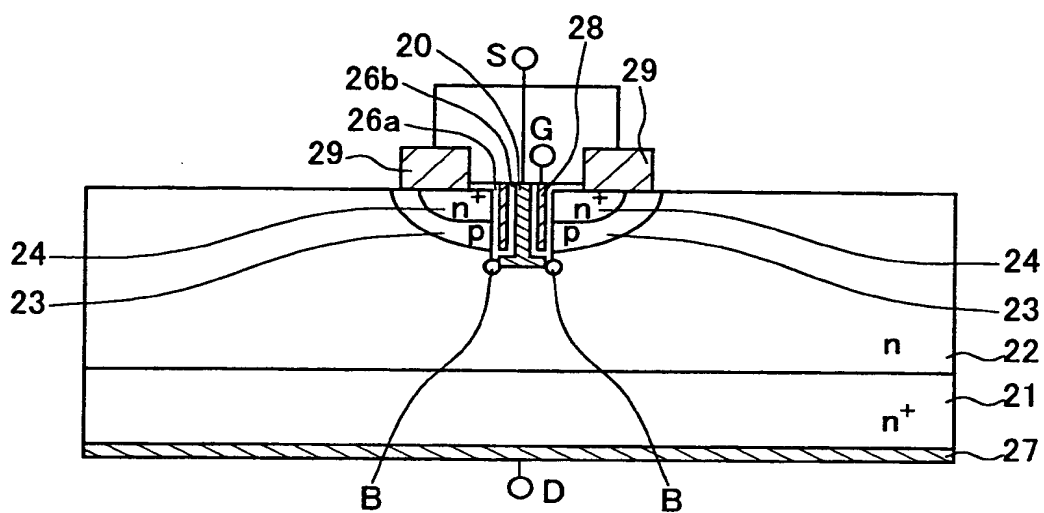
【図 3】



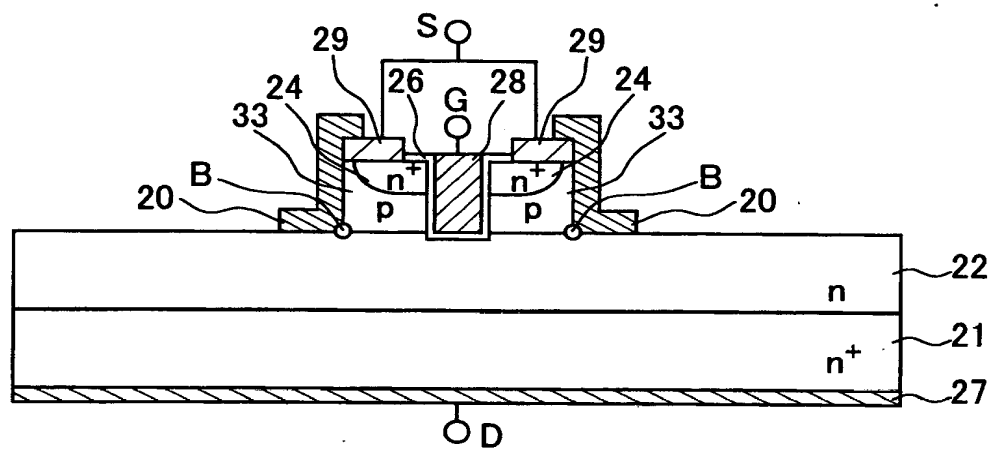
【図 4】



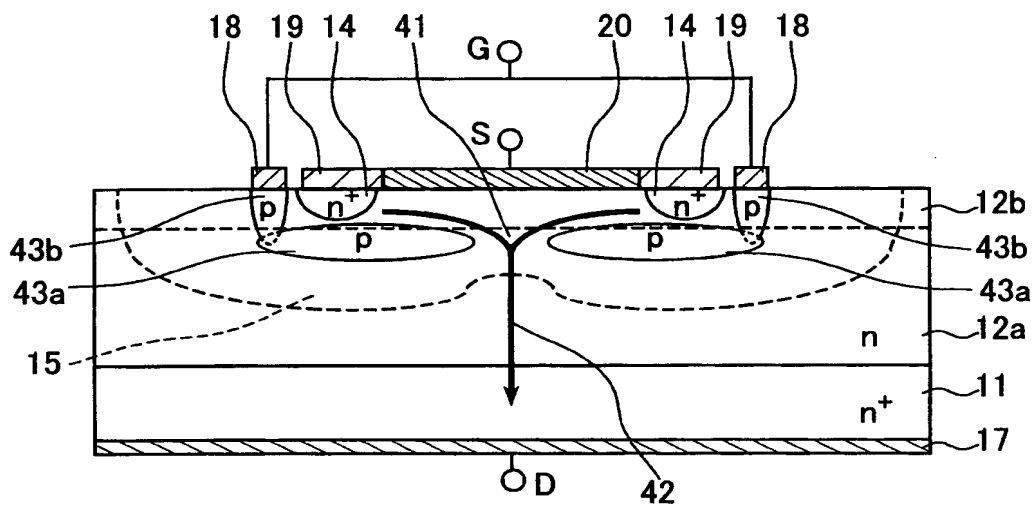
【図 5】



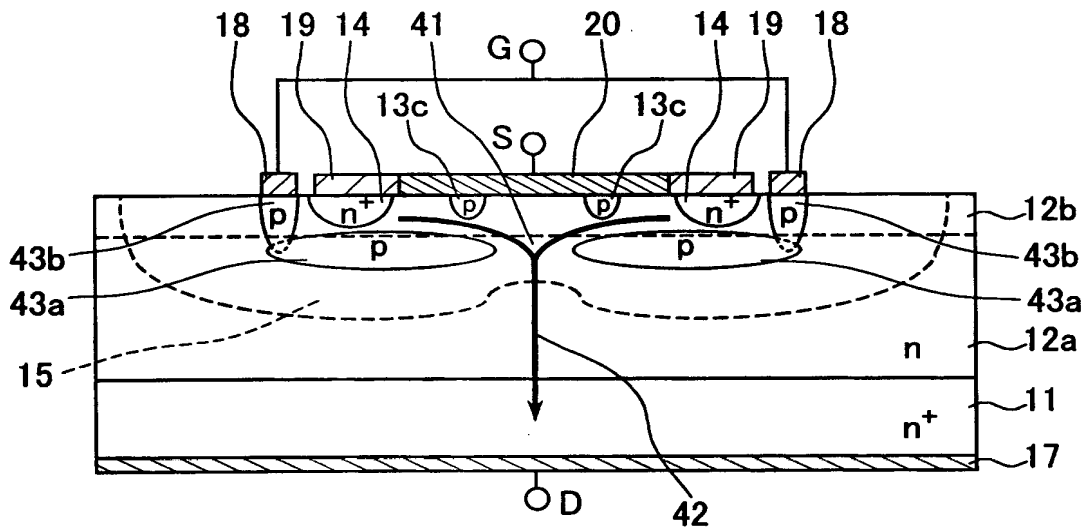
【図 6】



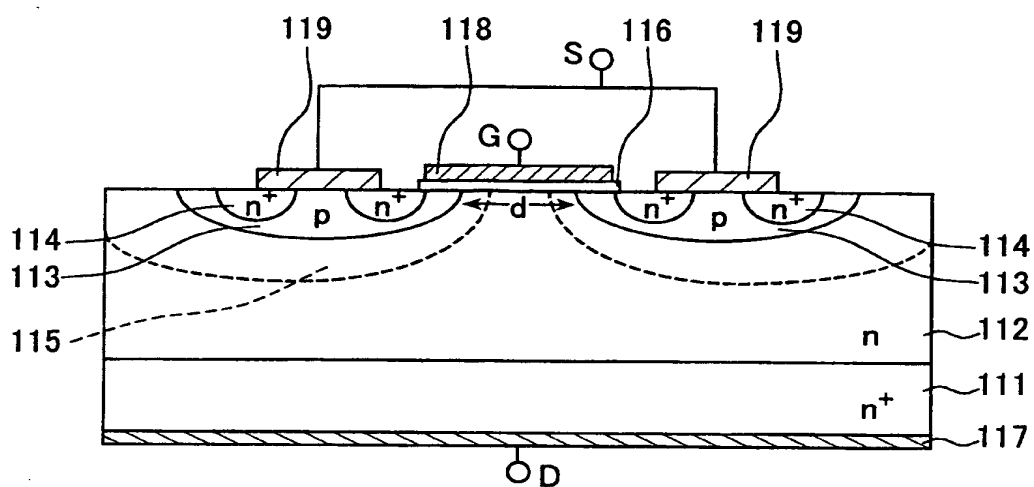
【図 7】



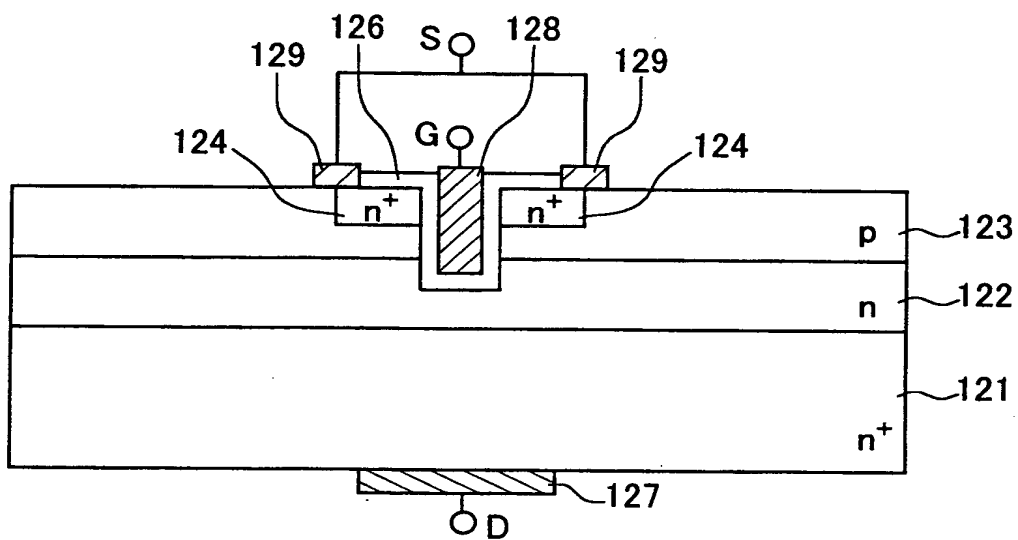
【図 8】



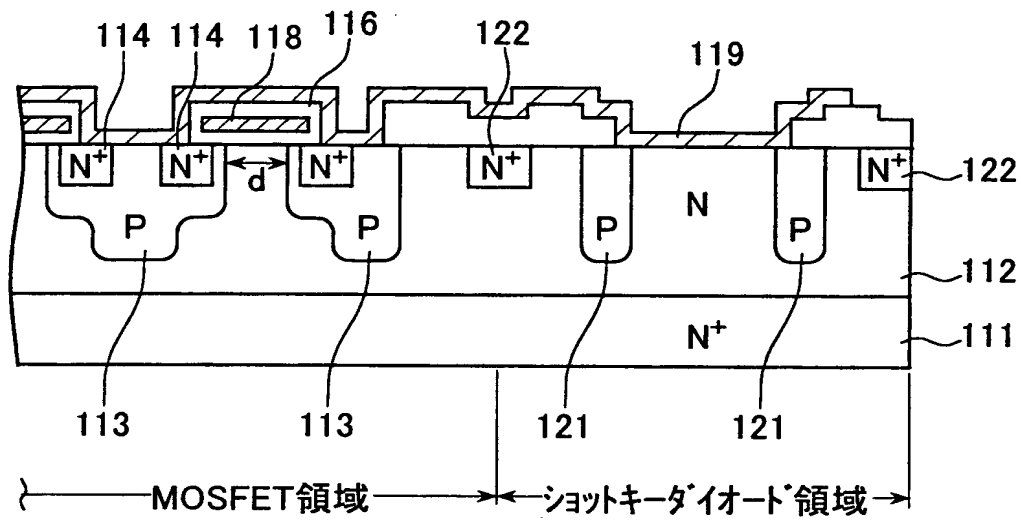
【図 9】



【図 1 0】



【図 11】



【書類名】 要約書

【要約】

【課題】 半導体素子の素子面積が拡大しないようにショットキーダイオードを配置して寄生ダイオードによる逆回復時間を短縮する。また、この半導体素子における絶縁耐圧を向上させる。

【解決手段】 半導体の一表面上に配置されたソース電極 1 9、反対側の表面上に配置されたドレイン電極 1 7、および半導体内に形成された第 1 導電型のソース領域 1 4 およびドレイン領域 1 1、1 2 を含む電界効果トランジスタと、第 1 導電型半導体と金属電極 2 0 との接触により形成されたショットキーダイオードとを、電界効果トランジスタとショットキーダイオードとの間に、この電界効果トランジスタを構成する第 2 導電型半導体 1 3 以外の第 2 導電型半導体が介在しないように、近接して配置する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社